

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168262

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H01S 3/18

(21)Application number : 10-268950

(71)Applicant : CANON INC

(22)Date of filing : 07.09.1998

(72)Inventor : ONOUCHI TOSHIHIKO
FURUKAWA YUKIO

(30)Priority

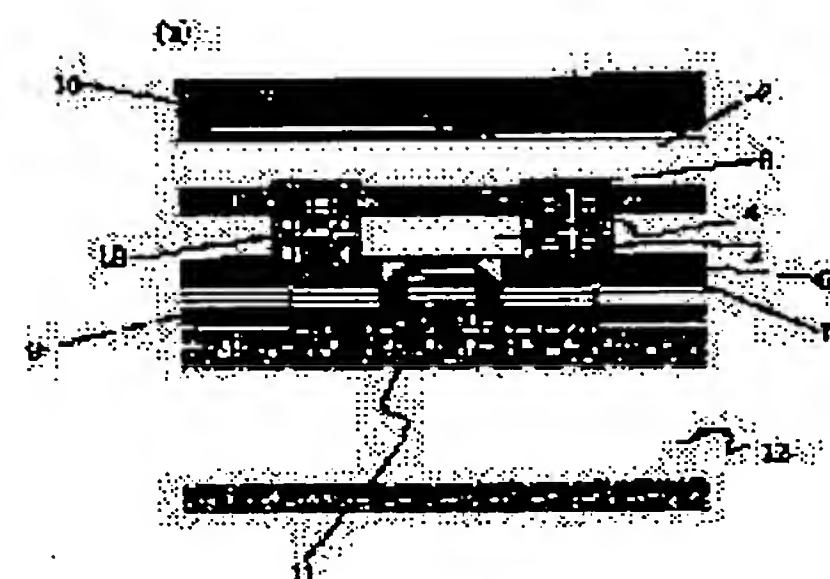
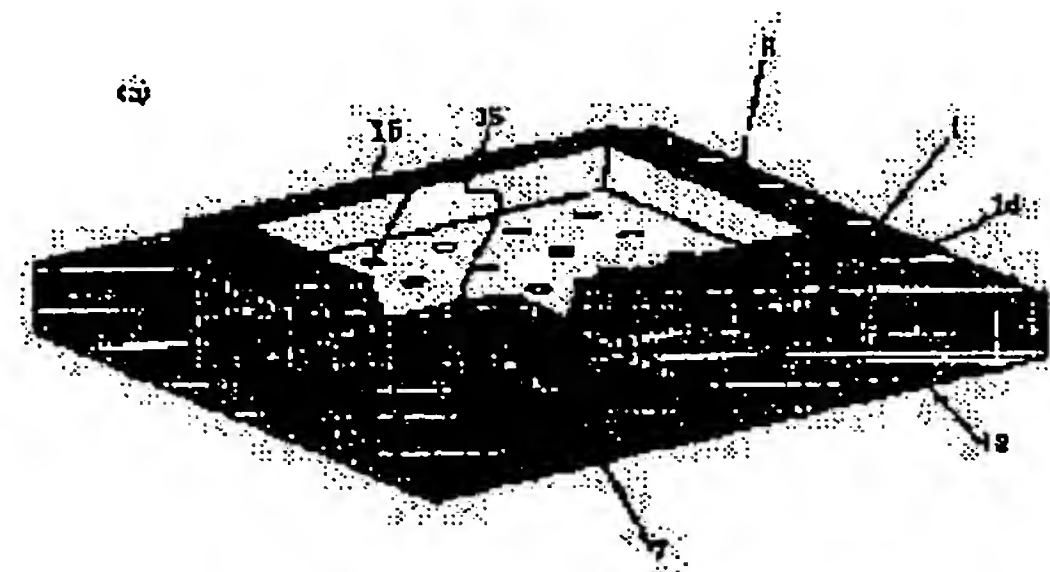
Priority number : 09282548 Priority date : 30.09.1997 Priority country : JP

(54) PLANAR OPTICAL DEVICE, MANUFACTURE THEREOF, AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a planar optical device which is easily manufactured and enhanced in productivity, by a method wherein active layers are arranged on the same first substrate, and the first substrate is partly removed including the active layers, wherein the planar optical device deals with light rays which are outputted from or inputted into the first substrate being projected from or impinging on its surface at a right angle.

SOLUTION: An active layer 3 is sandwiched between an N-type clad layer 2 and a P-type clad layer 4 to form a certain structure, and dielectric multilayer mirrors 9 and 10 are each formed on the both sides of the structure. The dielectric multilayer film mirror 9 is attached to an Si substrate 12 with an adhesive agent 11. An electrode 7 attached to an Si substrate 12 is so patterned as to inject a current independently into pixels. The patterned electrode 7 is taken out in a manner where the electrode 7 is attached to the Si substrate 12, then the semiconductor substrate 1 is subjected to frame-like etching, and then a part of the semiconductor substrate 1 and an epitaxial growth layer 14 located outside a frame are partly removed to make the electrode exposed. An electrode 8 provided to the semiconductor substrate 1 is taken out to serve as a common electrode for the pixels leaving a part of the substrate 1 of conductor unremoved like a frame.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 13.12.2002

[Date of sending the examiner's decision of rejection] 05.01.2006

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P) (12) 公 開 特 許 公 報 (A) (11) 特許出願公開番号
特開平11-168262
(43) 公開日 平成11年(1999) 6 月22日

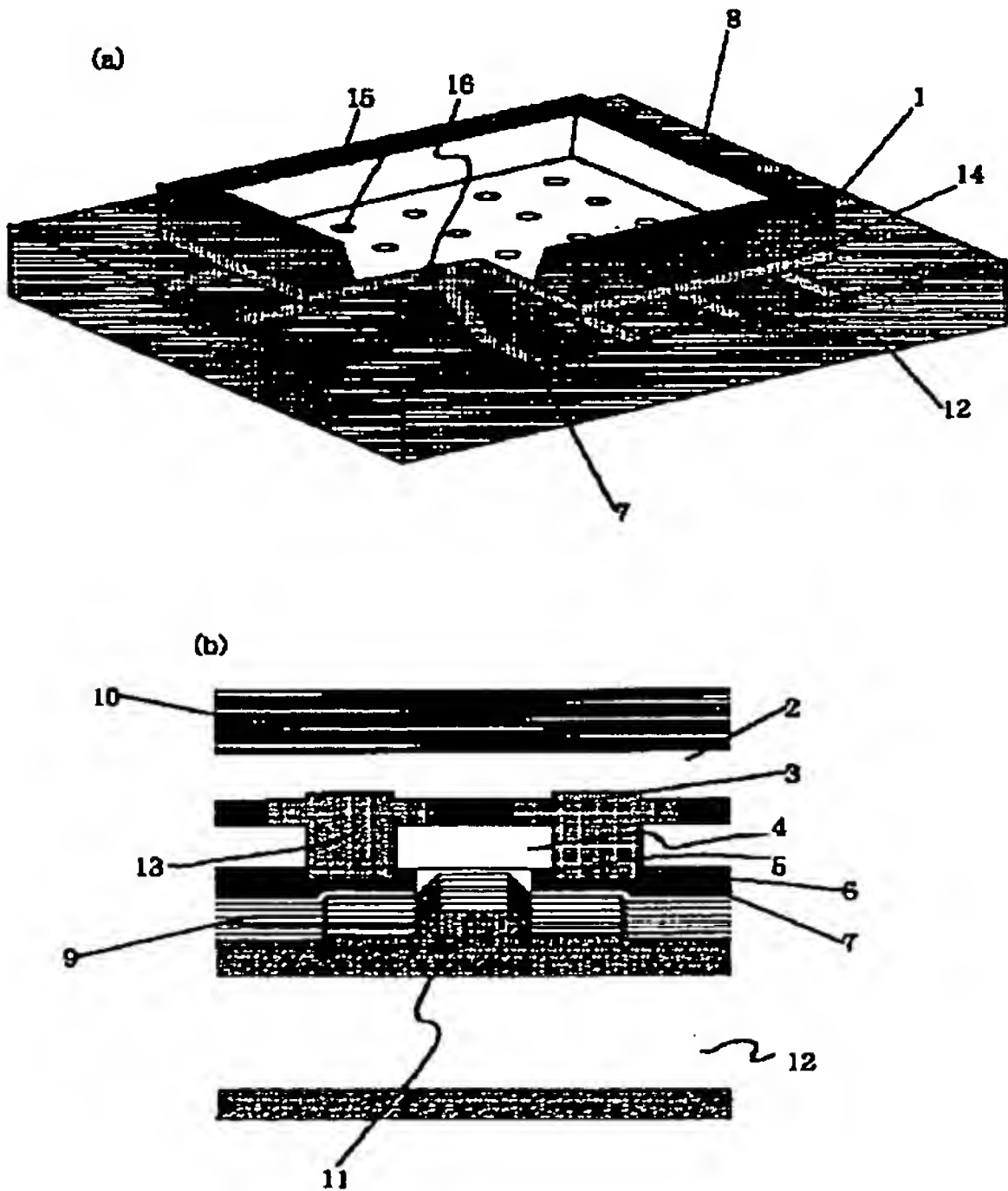
(51) Int.Cl.⁶ 識別記号 F I
H 0 1 S 3/18 6 5 2 H 0 1 S 3/18 6 5 2

審査請求 未請求 請求項の数30 F D (全 13 頁)

(21) 出願番号	特願平10-268950	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成10年(1998) 9 月 7 日	(72) 発明者	尾内 敏彦 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(31) 優先権主張番号	特願平9-282548	(72) 発明者	古川 幸生 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
(32) 優先日	平 9 (1997) 9 月30日	(74) 代理人	弁理士 加藤 一男
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 面型光デバイス、その製造方法、および表示装置

(57) 【要約】
【課題】 作製が簡単で生産性が高く2次元アレー面型発
光装置などにも適する面型光デバイス、その製造方法、
それを用いた表示装置である。
【解決手段】 基板1上に活性層部16を形成して成り基
板面に対して垂直に出力或は入力する光を扱う面型光デ
バイスである。活性層部16が複数、同一基板1上に配
置され、2個以上の活性層部16に跨って基板1の部
分が除去されている。



【特許請求の範囲】

【請求項1】第1の基板上に活性層部を形成して成り第1の基板面に対して垂直に出力或は入力する光を扱う面型光デバイスにおいて、活性層部が複数該同一の第1の基板上に配置され、2個以上の活性層部に跨って第1の基板の部分を除去して成ることを特徴とする面型光デバイス。

【請求項2】複数の活性層部がアレー化され、該アレー化された活性層部の領域全体に渡って第1の基板を除去して成ることを特徴とする請求項1記載の面型光デバイス。 10

【請求項3】前記アレー化された活性層部の領域の外側において第1の基板が一部残されて成ることを特徴とする請求項2記載の面型光デバイス。

【請求項4】複数の活性層部がアレー化され、該アレー化された活性層部の領域の内側において第1の基板が格子状に一部残されて成ることを特徴とする請求項1記載の面型光デバイス。

【請求項5】活性層部が複数形成された第1の基板以外の第2の基板に、活性層部を間に挿んで該活性層部が複数形成された第1の基板が貼り付けられていることを特徴とする請求項1乃至4の何れかに記載の面型光デバイス。 20

【請求項6】前記部分的に除去された後に残された第1の基板から、活性層部に電流を注入する或は電圧を印加する電極手段の共通電極を取り出すことを特徴とする請求項1乃至5の何れかに記載の面型光デバイス。

【請求項7】前記第1の基板を除去した領域に、活性層部に電流を注入する或は電圧を印加する電極手段の電極パターンを形成して、各活性層部から電極を取り出すことを特徴とする請求項1乃至5の何れかに記載の面型光デバイス。 30

【請求項8】活性層部が複数形成された第1の基板以外の第2の基板に、活性層部を間に挿んで該活性層部が複数形成された第1の基板が貼り付けられ、該第2の基板に貼り付けた側の、活性層部に電流を注入する或は電圧を印加する電極手段の電極は、第2の基板に貼り付けた側の該第1の基板の活性層部の面上に、電極パターンを形成しておき、該活性層部が形成されている第1の基板および活性層部の一部を除去して、取り出すことを特徴とする請求項1乃至7の何れかに記載の面型光デバイス。 40

【請求項9】活性層部が複数形成された第1の基板以外の第2の基板に、活性層部を間に挿んで該活性層部が複数形成された第1の基板が貼り付けられ、該第2の基板に貼り付けた側の、活性層部に電流を注入する或は電圧を印加する電極手段の電極は、第2の基板上に電極パターンを形成しておき、各活性層部と該電極パターンとの電気的接合が得られる様に貼り付けを行ない、活性層部が複数形成された第1の基板の外側で、取り出すことを 50

特徴とする請求項1乃至7の何れかに記載の面型光デバイス。

【請求項10】活性層部に電流を注入する或は電圧を印加する電極手段の正電極と負電極がマトリックス状に配置されていることを特徴とする請求項1乃至9の何れかに記載の面型光デバイス。

【請求項11】活性層部が複数形成された第1の基板以外の第2の基板に、活性層部を間に挿んで該活性層部が複数形成された第1の基板が貼り付けられ、第2の基板は半導体集積回路を形成した半導体を含む基板であって、該半導体集積回路の中の少なくとも1つの電子回路は第2の基板上に形成された配線によって活性層部と電気的接触が得られており、光半導体集積回路を構成していることを特徴とする請求項1乃至10の何れかに記載の面型光デバイス。

【請求項12】各活性層部は第1の基板上に発光層を形成して成り基板面から垂直に発光する面型発光装置であることを特徴とする請求項1乃至11の何れかに記載の面型光デバイス。

【請求項13】前記面型発光装置の発光層の両面に反射ミラーを備えてレーザ発振可能であることを特徴とする請求項12記載の面型光デバイス。

【請求項14】前記面型発光装置の発光層の上下両面の高々一方に反射ミラーを備えてLEDとして構成されたことを特徴とする請求項12記載の面型光デバイス。

【請求項15】各活性層部は第1の基板上に光吸収層を形成して成り基板面に対して垂直に入力する光を受光する面型受光装置であることを特徴とする請求項1乃至11の何れかに記載の面型光デバイス。

【請求項16】前記面型受光装置の光吸収層の光入力側とその反対側の何れか一方または両方に反射ミラーを備えていることを特徴とする請求項15記載の面型光デバイス。

【請求項17】前記反射ミラーは誘電体多層膜より成ることを特徴とする請求項13、14または16記載の面型光デバイス。

【請求項18】前記反射ミラーは半導体多層膜より成ることを特徴とする請求項13、14または16記載の面型光デバイス。

【請求項19】前記発光層部が複数形成された第1の基板以外の透明基板である第2の基板に、発光層部を間に挿んで該発光層部が複数形成された第1の基板が貼り付けられ、発光可能な発光層部と透明基板である第2の基板の貼り付け面の間に蛍光体が設けられ、各発光層部において、該発光層部の発光波長の色、または、該発光層部からの光で蛍光体が励起されて発生する蛍光色を表示できる表示装置として構成されていることを特徴とする請求項12記載の面型光デバイス。

【請求項20】前記発光層部は、III族元素としてB、Al、Ga、In、V族元素としてNから成る化合

物半導体の層から成ることを特徴とする請求項19記載の面型光デバイス。

【請求項21】前記発光層部はZn、Mgの酸化物あるいはその混晶から構成されることを特徴とする請求項19記載の面型光デバイス。

【請求項22】前記活性層部は、活性層に供給される電流の流れを制限するための電流狭窄構造を有することを特徴とする請求項19記載の面型光デバイス。

【請求項23】活性層を含む半導体層を成長基板である第1の基板にエピタキシャル成長する成長工程と、第1の基板面に対して垂直に光が出力或は入力する活性層部を複数第1の基板上に形成する形成工程と、少なくとも2つの活性層部を含む領域に亘って第1の基板の一部を除去する除去工程を有することを特徴とする面型光デバイスの製造方法。

【請求項24】前記第1の基板のエピタキシャル成長面側を第2の基板に貼り付ける貼付工程を更に有することを特徴とする請求項23記載の製造方法。

【請求項25】前記活性層部の活性層に供給される電流の流れを制限するための電流狭窄構造を形成する工程を更に有することを特徴とする請求項23または24記載の製造方法。

【請求項26】前記第1の基板のエピタキシャル成長層面側に反射ミラーを形成する工程を更に有することを特徴とする請求項23、24または25記載の製造方法。

【請求項27】前記第1の基板を除去して現れたエピタキシャル成長層上に反射ミラーを形成する工程を更に有することを特徴とする請求項23乃至26の何れかに記載の製造方法。

【請求項28】前記除去工程は前記形成工程の後に行なわれることを特徴とする請求項23乃至27の何れかに記載の製造方法。

【請求項29】前記形成工程は前記除去工程の後に行なわれることを特徴とする請求項23乃至27の何れかに記載の製造方法。

【請求項30】前記除去工程は前記貼付工程の後に行なわれることを特徴とする請求項23乃至29の何れかに記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、作製が容易で歩留まりが高く2次元アレー型構造などに適した面型半導体発光デバイス等の面型光デバイス、その製造方法およびそれを用いた表示素子等に関する。

【0002】

【従来の技術】近年、大容量並列光情報処理、高速光接続、薄型表示素子などへの応用のため、2次元アレー型の面型固体発光素子の開発が望まれている。これらへの応用のためには、低コスト、低消費電力、高生産性、高信頼性などが必要条件となる。面型固体発光素子の材料

としては様々なものが研究、開発されているが、信頼性を確保するためには半導体単結晶は非常に適している。特に、化合物半導体を用いた面型発光素子の開発が盛んに行われている。化合物半導体では、基板や積層構造の材料を変えることで紫外から赤外の広い範囲の波長帯での光の発光が可能であり、表示素子としても有望視されている。また、発光素子のなかでも、両端面に反射ミラーを備えたレーザダイオード(LD)では自然発光に比べて非常に発光効率が高く、2次元アレー化した場合にも消費電力を小さくすることができる。このような観点から、面型の半導体レーザ(Vertical Cavity Surface Emitting Laser: VCSEL)の開発が、近年、活発に行なわれている。

【0003】現在、VCSELについても、波長400nm程度の青色から通信波長帯である1.55μmまで開発されつつあり、サファイア基板上的AlGaInN系、GaAs基板上的InGaAlP/InAlP系、InGaAs/AlGaAs系、InP基板上的InGaAs/InGaAsP系などの材料系で研究されている。

【0004】2次元アレー化したVCSELの基本的な構造を図10に示す。基板1101から垂直にレーザ光を出射し、数μm厚程度のエピタキシャル成長層の両面に99%以上の高反射膜1109、1110を備える構造となっている。尚、図10において、1114はエピタキシャル層、1115は発光領域ないしピクセル、1116は活性層ないし発光部である。

【0005】反射膜としては、屈折率の異なるλ/4厚の膜を多層にしたものが主に用いられ、材料としては、誘電体(図10の例)、あるいはエピ成長した半導体が一般的である。エピ成長したミラーの例としては、ELECTRONICS LETTERS, 31, p.560(1995)にあるように、GaAs基板上的AlAs/GaAsの多層膜ミラーと活性層などを一回の成長で形成するものや、APPLIED PHYSICS LETTER, 66, p.1030(1995)にあるように、InP基板上に成長したInGaAsP/InP系のレーザ構造に、GaAs基板上的GaAs/AlAsミラーを直接接合により貼り付けたものなどがある。

【0006】また、特開平9-223848号公報には、半導体基板上に半導体活性層を含む半導体層をエピタキシャル成長させ、この半導体基板を集積回路基板と貼り合わせた後、半導体基板を除去することによって面発光半導体デバイスと他の電気素子が集積化された半導体装置を製造する方法が記載されている。この半導体装置の概略断面図を図11に示す。図11において、符号4100は光入出力基板、4100Aは受光素子、4100Bは垂直共振器型面発光レーザ、4100C及び4100Dはそれぞれ受光素子4100A及び面発光レーザ4100Bの配線、2000是集積回路基板、2000A是集積回路基板2000の金属配線、3000は絶

縁層、4000は配線をそれぞれ示す。

【0007】

【発明が解決しようとしている課題】しかしながら、多層膜ミラーとして半導体エピ層を用いる場合には、材料によって（例えば、 $\text{InGaAsP}/\text{InP}$ などでは）、屈折率差があまり大きく取れない。そのために層数が多くなって、成長時間が長く膜厚が厚くなり、従って、生産性が低く加工や平坦化が難しくなる。また、半導体ミラーで実用的な材料は現状では GaAs/AlAs であり、これではその格子定数を考えると使用可能な活性層の材料が限られて発振波長帯が限られてしまう。 GaAs/AlAs ミラーを直接接合により貼り付ける場合には、使用可能な活性層の材料の範囲が広がって他の波長帯にも適用できるが、半導体基板の大きさに制限があるので、この方法は小さい面積でのみ有効である。

【0008】一方、誘電体多層膜ミラーは作製が簡便であるが、基板の上にそのまま成膜できないので、図10のように基板1101の裏側をエッチングして窓1101aをあけてから成膜する必要があり、窓の形成に精度を要求されると共に窓同士を余り近付けられない。従って、歩留まり、均一性が悪く、素子の高密度化ができないため2次元アレーにする場合には問題がある。また、エピ成長したミラーの場合でも、波長帯によっては基板が吸収体となって、基板側から光を取り出す場合に、やはり図10のように基板のホールエッチングが必要な場合があり、高密度化には問題があった。

【0009】また、図11の半導体装置は、各々の発光部に対して段差を有する箇所で配線を行なっているため、配線を形成する工程が難しく、歩留まりが悪い問題があった。特に、図11の様な構成で半導体層上に誘電体多層膜ミラーを作製しようとすると、歩留まりの低下が顕著であった。

【0010】このような課題に鑑み、本発明の目的は、複数の活性層部に跨がって成長基板を除去する様にし、作製が簡単で生産性が高く2次元アレー面型光デバイスなどにも適する様になった面型光デバイス、その製造方法、それを用いた表示装置等を提供することにある。

【0011】

【課題を解決するための手段】上記の目的を達成する為に、発光層を形成した基板の側から光を取り出す面型発光素子などの面型光デバイスの場合に、1つ1つの活性層部ではなく2つ以上の活性層部に跨がって基板のホールエッチングをすることで、ホール同志のエッチング時における干渉を防げるために、活性層部間の間隔を小さくでき、高密度アレー化が可能になることを利用する。即ち、第1の基板上に活性層部を形成して成り第1の基板面に対して垂直に出力或は入力する光を扱う面型光デバイスであって、活性層部が複数該同一の第1の基板上に配置され、2個以上の活性層部に跨がって第1の基板

の部分除去して成ることを特徴とする。これにより、作製が簡単で生産性の高い2次元アレー面型光デバイスに適した構造を実現できる。

【0012】この基本的構造に基づいて、以下の形態が以下の利点を伴って可能である。複数の活性層部がアレー化され、該アレー化された活性層部の領域全体に渡って第1の基板を除去して成る。必要な数だけ並べてアレー化した活性層部のすべての領域で基板のエッチングをすることで、高集積、高密度アレー面型光デバイスが安定的且つ精確に実現できる。

【0013】前記アレー化された活性層部の領域の外側において第1の基板が一部残されて成る。基板をホールエッチングする場合に活性層部のアレー領域の外側において基板を残すことで、プロセスが簡単で面型光デバイスの強度が保たれるために信頼性が向上する。

【0014】複数の活性層部がアレー化され、該アレー化された活性層部の領域の内側において第1の基板が格子状に一部残されて成る。基板をホールエッチングする場合において基板を格子状に残すことで、他の基板に貼り付けなくても面型光デバイスの強度が保たれ、簡単な構成で信頼性が向上する。

【0015】活性層部が複数形成された第1の基板以外の第2の基板に、活性層部を間に挿んで該活性層部が複数形成された第1の基板が貼り付けられている。基板をホールエッチングする場合に、例えば、他の基板に貼り付けてから行なうことで、プロセスが簡単で面型光デバイスの強度が保たれるために信頼性が向上する。

【0016】前記部分的に除去された後に残された第1の基板から、活性層部に電流を注入する或は電圧を印加する電極手段の共通電極を取り出す。成長基板が導電性である場合（例えば、不純物がドーパされた半導体である）、成長基板側の電極を、共通電極として、上記において残した基板に付けることで簡単に駆動電極を形成できる。

【0017】前記第1の基板を除去した領域に、活性層部に電流を注入する或は電圧を印加する電極手段の電極パターンを形成して、各活性層部から電極を取り出す。成長基板側の電極として、上記基板を除去した領域に電極配線パターンを形成することで活性層部の独立駆動電極を形成できる。

【0018】活性層部が複数形成された第1の基板以外の第2の基板に、活性層部を間に挿んで該活性層部が複数形成された第1の基板が貼り付けられ、該第2の基板に貼り付けた側の、活性層部に電流を注入する或は電圧を印加する電極手段の電極は、第2の基板に貼り付けた側の該第1の基板の活性層部の面上に、電極パターンを形成しておき、該活性層部が形成されている第1の基板および活性層部の一部を除去して、取り出す。活性層部側の電極として、活性層部表面に電極配線パターンを形成することで活性層部の独立駆動電極を形成できる。

【0019】活性層部が複数形成された第1の基板以外の第2の基板に、活性層部を間に挿んで該活性層部が複数形成された第1の基板が貼り付けられ、該第2の基板に貼り付けた側の、活性層部に電流を注入する或は電圧を印加する電極手段の電極は、第2の基板上に電極パターンを形成しておき、各活性層部と該電極パターンとの電氣的接合が得られる様に貼り付けを行ない、活性層部が複数形成された第1の基板の外側で、取り出す。活性層部側の電極として、貼り付ける他の基板表面上に電極配線パターンを形成することで活性層部の独立駆動電極を形成できる。

【0020】活性層部に電流を注入する或は電圧を印加する電極手段の正電極と負電極がマトリックス状に配置されている。アレー数が多い場合には、電極のパターニングで各ピクセルを独立に駆動するにはパターニングが複雑になりすぎるので、この構造でマトリックス駆動を行なうのが有利になることが多い。

【0021】活性層部が複数形成された第1の基板以外の第2の基板に、活性層部を間に挿んで該活性層部が複数形成された第1の基板が貼り付けられ、第2の基板は半導体集積回路を形成した半導体を含む基板であって、該半導体集積回路の中の少なくとも1つの電子回路は第2の基板上に形成された配線によって活性層部と電氣的接触が得られており、光半導体集積回路を構成している。第2の基板をSiなどにすれば、面型光デバイスと電子回路などの集積化が容易にできる。

【0022】各活性層部は第1の基板上に発光層を形成して成り基板面から垂直に発光する面型発光装置である。本発明の思想は、第1に、面型発光装置に適用できる。

【0023】前記面型発光装置の発光層の両面に反射ミラーを備えてレーザ発振可能である。光層の両面に反射膜ミラーを備えることで、上記のような構造でレーザ発振可能な面型光デバイスが実現できる。

【0024】前記面型発光装置の発光層の上下両面の高々一方に反射ミラーを備えてLEDとして構成される。一对の反射ミラーが必要でないので、構造が簡単となり製法も簡便となる。

【0025】各活性層部は第1の基板上に光吸収層を形成して成り基板面に対して垂直に入力する光を受光する面型受光装置である。本発明の思想は、面型受光装置にも適用できる。

【0026】前記面型受光装置の光吸収層の光入力側とその反対側の何れか一方または両方に反射ミラーを備えている。反射ミラーで入力光を効率よく光吸収層に集められる。

【0027】前記反射ミラーは誘電体多層膜より成る。反射ミラーが2種類の誘電体膜を交互に積層して成ったりする。上記の反射ミラーを誘電体ガラスによる多層膜から構成すれば、非常に安価に面型光デバイスを実現で

きる。

【0028】前記反射ミラーは半導体多層膜より成る。反射ミラーが2種類の半導体膜を交互に積層して成ったりする。上記の反射ミラーを半導体膜による多層膜から構成すれば、他のエピタキシャル成長層と連続的に形成できて製法が簡便となる。

【0029】前記発光層部が複数形成された第1の基板以外の透明基板である第2の基板に、発光層部を間に挿んで該発光層部が複数形成された第1の基板が貼り付けられ、発光可能な発光層部と透明基板である第2の基板の貼り付け面の間に蛍光体が設けられ、各発光層部において、該発光層部の発光波長の色、または、該発光層部からの光で蛍光体が励起されて発生する蛍光色を表示できる表示装置として構成されている。例えば、上記の2次元アレー面型光デバイスで第2の基板にR、G、Bの蛍光体を各発光点に対応して塗布しておけば（例えば、1つの発光デバイスに対応してRを塗布し、その両側に隣接する発光デバイスに対応して夫々G、Bを塗布する）、全固体で生産性の高いフルカラーの表示装置として機能できる。

【0030】前記発光層部は、III族元素としてB、Al、Ga、In、V族元素としてNから成る化合物半導体の層から成る。上記の表示装置において、発光装置の材料として、(B、Al、Ga、In)-Nからなる化合物半導体とすれば、青色から紫外光を発生させる高効率なLEDあるいはLEDを構成でき、高輝度なフルカラー表示装置を実現できる。

【0031】前記発光層部はZn、Mgの酸化物あるいはその混晶から構成される。上記の表示装置において、発光装置の材料として、例えば、ZnO（活性層）/ZnMgO（クラッド層）とすれば、青色から紫外光を発生させる高効率なLEDあるいはLEDを構成でき、高輝度なフルカラー表示装置を実現できる。

【0032】前記活性層部は、活性層に供給される電流の流れを制限するための電流狭窄構造を有する。これにより、活性層に効率よく電流が供給できる。

【0033】上記の目的を達成する本発明による製造方法は、活性層を含む半導体層を成長基板である第1の基板にエピタキシャル成長する成長工程と、第1の基板面に対して垂直に光が出力或は入力する活性層部を複数第1の基板上に形成する形成工程と、少なくとも2つの活性層部を含む領域に亘って第1の基板の一部を除去する除去工程を有することを特徴とする。この製造方法において、前記第1の基板のエピタキシャル成長面側を第2の基板に貼り付ける貼付工程を更に有してもよい。前記活性層部の活性層に供給される電流の流れを制限するための電流狭窄構造を形成する工程を更に有してもよい。また、前記第1の基板のエピタキシャル成長層面側に反射ミラーを形成する工程を更に有してもよいし、前記第1の基板を除去して現れたエピタキシャル成長層上に反

射ミラーを形成する工程を更に有してもよい。

【0034】更に、前記除去工程は前記形成工程の後に行なわれてもよいし、前記形成工程は前記除去工程の後に行なわれてもよい。前記除去工程は前記貼付工程の後に行なわれてもよい。

【0035】本発明の原理を実例（以下で説明する第1実施例）を用いて説明する。図1（a）のように他の支持基板、例えばSi等に貼り付けた後に、発光部の2次元アレー領域のみ成長基板のホールエッチングを行い、その外側の領域で額縁状に基板を残すことで、発光部（ピクセル）間の間隔を小さく、すなわちピクセルの高密度集積が可能となる。この場合、成長基板側から電極をとることもできる。基板側にエピミラーを備えていない場合には、成長基板エッチングの後に誘電体多層膜ミラーを形成すればよい。この構成の中で、複数の活性層部（発光層部や光吸収層部など）が同一成長基板上に配置され、2個以上の活性層部に跨って該成長基板の部分を除去して成ることのみが本発明の必須の要件であり、他の具体的構成はこの実例に特有のものである。

【0036】このような具体的構造にするための作製工程の例を図2をもとに簡単に述べる。図2（a）において、半導体単結晶基板上に活性層をp型、n型のクラッド層でサンドイッチした形のレーザ構造をエピタキシャル成長し、発光領域の周りをドーナツ状にエッチングしてそこにポリイミドなどを埋め込む。発光領域は、例えば、直径20 μm の円形で、ドーナツ状にエッチングした外径は40 μm の円形にする。また、このとき、後に作製する反射ミラーの有効径の関係から活性層の外周を数 μm ほど選択ウエットエッチングを行なって、約15 μm φの円形にしている。（b）において、電極を形成してから活性層とほぼ同じ径で、該電極と半導体キャップ層をくり貫き、誘電体多層膜ミラーをRFスパッタ法などで成膜する。（c）において、基板を100 μm 程度の厚さまで研磨したのち裏面に電極を形成してアニールする。その後、表面を熱酸化したInP基板などに誘電体ミラー側を貼り付けた後に、額縁状に電極および半導体基板を除去する。貼り付けは、加熱して軟化するタイプの接着材を用いるか、直接貼り合わせて固相接合してもよい。基板の除去は、ウエットエッチング、ドライエッチング、それらを併用する形で行なう。（d）において、成長基板エッチングした領域のみリフトオフなどで誘電体ミラーを形成し、額縁状の基板のうち外側をさらにエッチングしてエピタキシャル層側の電極を露出させることで、図1（a）のようなVCSELアレーが作製できる。

【0037】この発光領域は、元の半導体基板上に2次元アレー状に配列できるので、容易に面出射型のアレー素子が構成できる。半導体基板は、従来のように個々のピクセルに対してホールを開けるのではなく、アレー領域全体の基板をエッチングで除去するため、素子間隔や

歩留まりに制限が生じない。また、半導体ミラーの直接接合に比べると本発明は大面積化が可能となる。通常は半導体基板の大きさ（化合物半導体で3インチφ程度）で制限されるが、これらを他の支持基板に貼り合わせていけばそれ以上の大面積化が可能である。成長基板側からも各ピクセル毎に独立電極をとることもできるし、図3のように支持基板側の電極と基板側の電極をマトリックス状にパターンニングして導通を取ることもできる。電流干渉を防ぐために、各発光領域（ピクセル）間の一部をエッチングして、ポリイミドなどを埋め込んでもよい。このようなアレーレーザは、光情報処理あるいは光インターコネクションのための2次元アレー光源として応用できる。また、青色あるいは紫外の発光が可能な材料で以上のようなアレー素子を形成し、ガラス面にR、G、Bの蛍光体を塗布すればフルカラー表示素子としても応用できる。

【0038】以上の作製工程の例においても、本発明による製造方法に必要な工程は、活性層を含む半導体層を成長基板である第1の基板にエピタキシャル成長する成長工程と、第1の基板面に対して垂直に光が出力或は入力する活性層部を複数第1の基板上に形成する形成工程と、少なくとも2つの活性層部を含む領域に亘って第1の基板の一部を除去する除去工程のみである。上記の作製工程の例では、この他に、前記活性層部の活性層に供給される電流の流れを制限するための電流狭窄構造を形成する工程、前記エピタキシャル成長面側を第2の基板に貼り付ける工程、前記狭窄構造および光閉じ込め構造を加工した表面に反射ミラーを形成する工程、前記第1の基板を除去して現れたエピタキシャル成長層上に反射ミラーを形成する工程を更に有していた。

【0039】

【発明の実施の形態】以下に本発明の実施の形態を図面を参照して詳細に説明する。

【0040】〔第1実施例〕本発明による第1の実施例のVCSELアレーは、半導体単結晶基板であるInP基板上に成長したInGaAs／InGaAsP系の波長1.3 μm 帯のVCSELを、表面を絶縁体とする為に熱酸化したSi基板12に貼り付けて構成したものである。その全体の一部断面斜視図を図1（a）に、VCSELアレーの1つの発光領域（ピクセル）の断面構造の詳細図を図1（b）に示す。

【0041】本実施例では、活性層3をn型、p型のクラッド層2、4がサンドイッチする構造になっており、両面に誘電体多層膜ミラー9、10を形成してある。誘電体多層膜ミラー9はSi基板12に接着剤11で貼り付けてある。Si基板12に貼り付けた側の電極7は図1（a）のように各ピクセルに独立に電流注入ができるようにパターンニングしてある。パターンニングされた電極7は、Si基板12に貼り付けて半導体基板1の額縁状エッチングを行なった後に、その外側の半導体基板1お

よびエピ成長層14を一部除去して電極7を露出させることで取り出す。また、半導体基板1側の電極8は、導体である該基板1を図1(a)のように額縁状に一部残してあるため各ピクセルの共通電極として取り出されている。なお、図1(a)において、誘電体ミラー9、10は省略してあり、ピクセル15は活性層3の外径を、発光層16は活性層3そのものを示している。

【0042】以下に図2に沿って本実施例の作製プロセスを述べる。先ず、図2(a)に示す様に、 n - InP 基板1上に、 n - InGaAs コンタクトないしエッチングストップ層20、 n - InP クラッド層2、アンダーブレイク層3、 p - InP クラッド層4、 p - InGaAs コンタクト層5をこの順に化学ビームエピタキシー(CBE)法などで成長する。続いて、発光領域の周りを、内径 $20\mu\text{m}$ 、外径 $40\mu\text{m}$ のドーナツ状に活性層3下部までRIBE(Reactive Ion Beam Etching)法などで垂直にエッチングを行なう。次に、 InGaAs コンタクト層5の側壁をレジストなどでカバーして、活性層3の側壁だけ選択ウエットエッチングで数 μm だけエッチングを行うことで活性層3を約 $15\mu\text{m}$ の円形にくびらせる。これは、後述の誘電体多層膜の有効径と活性層3の径を同程度にして電流を必要な程度に狭窄して発振動作を効率的且つ良好にする為である。このとき、エッチング液として、硫酸：過酸化水素水：水＝3：1：1を用いれば、 InP クラッド層2、4は全くエッチングされず活性層3のみの完全選択エッチングとなる。また、このエッチングの際、面方位依存性があり、(100)の基板を用いた場合には、(010)面、(001)面およびそれらの逆方位面が現れて活性層3は正方形に近い形となる。この場合、活性層3に利得の異方性が生じるため発振光の偏波が安定化し、従来VCSELで問題になっていた発振光の偏波不安定性から来るキックなどの雑音を除去することもできる。最後に、ポリイミド13などで選択ウエットエッチングで生じた溝部を埋め込む。

【0043】続いて、図2(b)に示す様に、1つのピクセルの外周部の絶縁を確保するために SiN 膜6をピクセルの周りを除いて形成し、 p 側電極7として Cr (500Å)/ Au (5000Å)をパターンニングして蒸着する。そして、ピクセルの内部において、活性層3より若干大きい径の円形に該電極7、コンタクト層5を除去し、各層が $\lambda/4$ の厚さの(λ は発振波長の膜中の実波長) $\text{Si}/\text{Al}_2\text{O}_3$ の6ペアからなる誘電体多層膜9をRFスパッタ法などで形成する。このとき電極コンタクトをとるためにアニールしておく。

【0044】次に、 InP 基板1を $100\mu\text{m}$ 厚まで研磨して(図1(a)で示す厚さ)、 n 側電極8として AuGe (2000Å)/ Au (3000Å)を蒸着し、電極コンタクトのためにアニールを行なう。そして、ア

レー領域の外枠を図1(a)のような額縁状に残すためにパターンニングを行い、ホールエッチングを行なう領域のみ電極8を除去する。図2(c)に示す様に、誘電体多層膜9側を表面熱酸化 Si 基板12に接着剤11で接着して、基板1のホールエッチングを塩酸で行ない、 InGaAs コンタクトないしエッチングストップ層20を露出させる。 InGaAs は塩酸にはエッチングされないため、完全にエッチングストップ層20でエッチングがストップする。なお、接着はポリイミド系のシート状のものを挟んで、 200°C に加熱することで行なった。

【0045】最後に、図2(d)に示す様に、エッチストップ層20を硫酸系エッチャントで除去し $\text{Si}/\text{Al}_2\text{O}_3$ の6ペアからなる誘電体多層膜10を面発光レーザアレーの領域にのみRFスパッタ法などで形成する(電極8を取り出す外枠には形成しない)。そして、接着側の電極7を取り出せるように、エピタキシャル層14の外枠をエッチングで除去すれば図1(a)のような構造が完成する。

【0046】このようなピクセル15を半導体基板上に多数並べて作製すれば、簡単に低しきい値の高密度2次元アレーレーザが構成できる。図1(a)では、 3×4 の12ピクセル15からなる素子であるが、その数は増やすことができる。また、ピクセルを複数の半導体基板上に作製し、それらを適当な配列で別の基板上に貼り付けていけば、更にピクセルの数を増やすことができる。本実施例では、ピクセル間隔は $100\mu\text{m}$ 程度でも十分動作した。

【0047】また、本実施例では図1(a)のように額縁状に基板1を残したが、電極8からのコンタクトを取れる領域が残っていれば、ある一辺のみあるいは一辺の一部のみが残る形でもよい。

【0048】このような2次元アレーレーザは、高速並列情報伝送や光インターコネクトあるいは光情報処理用の光源として利用できる。

【0049】上述の例では、 InP 基板1上の $\text{InGaAsP}/\text{InP}$ 系で作製したものであるが、もちろん材料系に依存せず、他の波長帯でも実現可能である。すなわち、サファイア基板上の $\text{AlGaIn}/\text{InGaIn}$ 系、 GaAs 基板上の $\text{InGaAlP}/\text{InAlP}$ 系、 $\text{InGaAs}/\text{AlGaAs}$ 系、 $\text{InGaNAs}/\text{AlGaAs}$ (GaInP)系などに適用できる。特に、 $\text{InGaNAs}/\text{AlGaAs}$ (GaInP)系で構成された $1.3\mu\text{m}$ 帯レーザでは、温度特性、微分利得が優れているために、温度制御なしで動作させることができる。このとき、ヒートシンクを用いず別の基板(図1(a)の例で言えば、基板12)が透明であれば、光を上下両面から取り出すようにもできる。

【0050】[第2実施例] 本発明による第2の実施例は、図3に示す構造のようにホールエッチした面にも電

極31を形成して、マトリックス駆動ができる面発光レーザーアレを提供するものである。

【0051】作製は、途中までは第1実施例と同様に行なえる。図2で(c)まで裏面の電極形成工程以外は同様に行い、エッチストップ層20は除去しないで、これをコンタクト層として流用する。図2の(c)で、

(b)の表面プロセスと同様の工程を行なう、すなわちピクセル15の外周部の絶縁を確保するためにSiN膜を形成し、n側電極31としてAuGe(2000Å) / Au(3000Å)を図3のようなパターンで形成する。そして、ピクセル15の内部に15μmφの円形に該電極31、コンタクト層20を除去してから(d)の工程でアレ領域全体に誘電体ミラーを形成する(図3では図示せず)。また、n側電極の干渉を避けるために、図3のように格子状32にエピタキシャル層14を除去して、ポリイミド等を埋め込んでもよい(これはSiN膜、n側電極31の形成の前に行なう)。

【0052】アレ数が多い場合には、第1実施例の様に電極のパターニングで各ピクセルを駆動するにはパターニングが複雑になりすぎるので、本実施例のような構造でマトリックス駆動を行なうことが有利なことが多い。また、第1実施例のような共通電極8の場合にはクラッド層2などの薄い層を面内方向に介して電流を流すので、抵抗が高い、高周波特性が悪いなどの欠点があったが、本実施例ではそれを回避できる。

【0053】[第3実施例] 本発明による第3の実施例は、図4に示す構造のようにピクセル15の形成を基板12に貼り付け後に行なうものである。構成される材料は同じで、InP基板上のInGaAsP / InP系で発振波長1.55μm帯のVCSELを構成した。貼り付ける基板としては、第1実施例と同様に、1.55μmでは損失がほとんどない両面研磨のSi基板12を用いた。また、貼り付けは、誘電体ミラー9の最終層をSiにしておき、スパッタしたアモルファス状のSiとSi基板12の表面を直接貼り合わせ、荷重をかけながら200℃の加熱で直接接合を行なった。従って、接着剤は用いていない。このとき、先にピクセルの加工を行なっていると、表面の凹凸やポリイミドの影響でSi基板12との接合が難しいので接着後にプロセスすることが望ましい。接合強度を得るためには、さらに高温で処理してもよい。また、全面を接合面にした場合、ストレス等ではがれやすくなることがあるため、図4のように或る大きさ(本実施例では50μmφ程度とした)の領域にのみ誘電体ミラー9を形成しておき、ミラー9がなく接着していない面を緩和層として働かせることが有効である。この接着してない領域41は空洞で、接合したときの雰囲気ガスが封止した状態にすることができる。この雰囲気が陰圧であれば安定した接着状態を持続させることができる。接着剤を使わず直接接合であるのでデバイスの放熱性も良い。

【0054】図4(図4において、図1との同一部分には同一符号を付してある)を用いて、第3実施例の作製工程を述べながら構造を説明する。

【0055】InP基板上に第1実施例と同様にレーザー構造をエピタキシャル成長(活性層3の設計は異なる)し、SiN6で絶縁構造を形成した後、最上層となるInGaAsコンタクト層5にノンアロイ電極として、Ti(500Å) / Pt(1000Å) / Au(3000Å)で電極配線パターン7を形成する。この電極7では加熱時に拡散が起こらない。次に、多層膜ミラー9の有効径を活性層3の大きさに対して十分な大きさにする様な径の円形(ここでは30μmφとする。図4では少し小さい様に描かれている)に電極7およびコンタクト層5を除去して、Si / Al₂O₃の多層膜ミラー9(最終層がSi)を50μmφの大きさに成膜(リフトオフ法など)する。次に、上述のようにSi基板12に接合する。その後、第1実施例と同様にInP基板を除去した後にピクセルの形成プロセスを行なう。電極8は図3のように電極パターンを形成してピクセル15の独立駆動を行なう。42はエッチングストップ層ないしコンタクト層である。

【0056】素子動作を行なう場合には、光はSi基板12側から取り出してもよいし、Si基板12をヒートシンクとして貼り付けていない側から取り出してもよい。

【0057】本実施例では、Si基板12上に作製した集積回路などと光素子とを同一基板上に備えることができる(接着剤を用いないので光素子を狭い所にも容易に配置できる)、安価に光電子集積素子を構成することもできる。その構成例の断面図を図5に示す。これは、ピクセル(面発光レーザー)アレとSi基板112上に形成された集積回路の最終段の面発光レーザー駆動用バイポーラトランジスタ210との集積化の部分の説明するものである。面発光レーザーの誘電体ミラー109が、Siデバイスのベアチップの保護層であるSiNx膜200と直接固相接合されている。上記の作製工程の説明ではSi同士の固相接合であったが、SiとSiNx膜との接合も同様にできる。Siベアチップ側の表面層の面発光レーザーを貼り付ける領域のみSiNx200を除去して、現れたSi基板112の表面と固相接合してもよい。ただし、集積回路が形成されたSi基板に接合する場合には処理温度を上げ過ぎないように注意する必要がある。

【0058】この接合のときに、レーザー電極107とトランジスタ210のコレクタ電極201をアライメントして、面発光レーザーに各駆動用トランジスタ210が接続できるようにする。トランジスタ210は、n拡散領域206の電極201がコレクタ、p拡散領域208の電極203がベース、n拡散領域207の電極202がエミッタとなるnpn型である。

【0059】図5において、204は始めにn拡散した領域、205は素子分離のためにp拡散した領域である。更に、101は成長基板、102はn-クラッド層、103はノンドープの活性層、104はp-クラッド層、106は絶縁層、108はn側電極、110は誘電体ミラー、113は溝部に入れられたポリイミド、そして132はn側電極108間の干渉を防ぐ為に他の溝部に入れられたポリイミドである。

【0060】図5中には示していないが、このトランジスタのコレクタ201以外の電極はこのSi基板112 10上に形成された他のCMOS回路等と配線で結ばれている。また、面発光レーザのもう一方の電極108も基板上に形成した配線パターンを経由して電源等に接続される。

【0061】〔第4実施例〕本発明による第4の実施例は、上記実施例ではエピタキシャル層側にあった電極パターンを、貼り付ける基板の方に形成しておき、各ピクセルに形成した単純な形状の電極パッドとこの電極パターンとの間を電氣的導通を取りながら接着するものである。

【0062】ピクセル側には、図6（図6において、図4との同一部分には同一符号を付してある）のような構造で、誘電体ミラー9の上部とピクセルの電極コンタクト7との導通が取れるようにAu51を成膜しており、このミラー上部のAu51と基板55側の電極パターン52の導通を導電粒子53入りのポリイミド系接着剤54で実現している。この接着剤54は、電極パッド51、52同志のみ導通が取れ、横方向あるいは両側の段差の凹部同志は導通がとれないような性能を持つ。配線パターンは、樹脂基板55上に、Cu/Ni/Auの約 3015 μ m厚のメッキ52で構成した。赤外透過光で電極パッド同志（すなわち51と52）のアライメントを行なった後、荷重をかけながら200℃に加熱して接着を行なった。誘電体ミラー9の大きさは第3実施例と同様に50 μ m ϕ になっており、高さは2 μ mとなっている。図6のように導電粒子53は2つの電極パッド51、52の間に挟まって導通が取れ、パッドがない領域では粒子同志が繋がらないために導通しない。なお、接着部分の空洞部はポリイミド接着剤54が充填されている。

【0063】ピクセルの形成等は第3実施例と同様に行なえばよい。面発光レーザの構造については、図6では第3実施例と同様に接着後に成長基板を除去してピクセル作製工程を行なうものだが、第1実施例のように先にピクセル加工をしてもよい。また、電極の配線パターンは図1あるいは図3と同様である。

【0064】本実施例は、必要な箇所のみ簡単且つ確実に導通できるので、配線パターンが第3実施例までの配線パターンより複雑で高密度の場合には特に有効になる。また、導電粒子入りの接着剤を用いるので第1実施 50

例よりデバイスの放熱性も良い。

【0065】また、本実施例では導電粒子が粗に拡散しているいわゆる異方導電性接着剤を用いたが、所望の電極同士でのみ電氣的接触が得られ、他の配線同士では絶縁のとれる接着方法であればどの様なものでもよい。他の接着方法としては、電氣的接触を得たい領域にのみハンダやAgペースト等を選択的に形成するもの、あるいは基板に荷重をかけることで金属同士を圧着する方法などがある。ハンダの選択的形成は、ハンダボールを載せるいわゆるフリップチップ実装、あるいはハンダをめっきにより選択成膜する方法がある。一方、Agペーストの選択形成には、スクリーン印刷法などがある。いずれの方法においても50 μ m \square 程度のサイズで選択形成が可能である。

【0066】また、接着する基板として樹脂基板55を用いたが、もちろん第3実施例のように集積回路が形成されたSi基板に図5のようにベアチップ同士を実装するような形でもよい。

【0067】〔第5実施例〕いままでの実施例では、InP系で誘電体ミラーを形成する場合を示してきたが、本実施例では、本発明の思想をGaAs系でエピタキシャルミラーを備えた面発光レーザに適用するものである。GaAs基板を用いた場合、AlAs/GaAs（あるいはAlGaAs）の多層膜を活性層と同時にエピタキシャル成長することで、両面に高反射率のDBRミラーを備えることができる。そのため、誘電体ミラーを別の工程で形成する必要が無く、全体の工程が非常に簡単になる。

【0068】その構造を図7に示す。n-GaAs基板（不図示）上に、n-AlAs/AlGaAs（25pairからなる）DBRミラー61、GaAs/AlGaAs多重量子井戸からなる活性層およびそれをAlGaAsスペーサでサンドイッチした層62、p-AlAs/AlGaAs（30pairからなる）DBRミラー63が1回のエピタキシャル成長で形成されている。活性層およびスペーサ層を合計した厚さは、発振波長の1波長分の厚さに制御されている。本実施例では、発振波長は835nmで、この厚さは約250nmとしている。また、p-DBRミラー層63は電極コンタクトを良好にするために、最上層はGaAsにしてある。本実施例でも第1実施例と同様にピクセル形成を行なうが、すでにミラーがあるため、SiN6により絶縁構造を形成してポリイミド13で埋め込みを行い、p電極パターン7を形成するだけでよい。これをSi基板12等に接着して今までの実施例のように一部を残してn-GaAs基板を除去すればよい。このとき、GaAs基板とn-DBRミラー61の第1層であるAlAsとの選択エッチングには、アンモニア+過酸化水素系のウェットエッチングとドライエッチングなどを併用すればよい。n側の電極は第1実施例と同様でよい。

【0069】 p -DBR63側から光を取り出す場合には n -GaAs基板を除去する必要がないが、 p 電極7に光取り出し用の窓を開けなければならないため精密なパターン合わせが要求されていた。従って、GaAs系で成長基板が吸収体となるような波長帯（850nm程度以下）の場合には、 p 電極7に光取り出し用の窓を開けずに n -GaAs基板を除去する本実施例が有効になる。

【0070】〔第6実施例〕本実施例は、図8のように成長基板に成長した層の他の基板への接着は行わず、小さい面積に高密度にアレー化した活性層の領域を多数並べたものである。ホールエッチングの領域が300 μ m \square 程度と小さい場合には（この値は、レーザ基板を保持するのに必要な強度と電極78側の電気抵抗の望まれる値を考慮してほぼ決められる）、格子状になった外枠の基板71だけで充分強度が持つために他基板への貼り付けを行わなくてもよい。本実施例では、300 μ m \square の中に125 μ mピッチで $2 \times 2 = 4$ 個のピクセル15を集積させ、さらに厚さ100 μ mの外枠基板を残してこの4ピクセルを2次元状に16個並べたものである。

【0071】集積度が低い（即ち、ピクセル間のピッチが比較的大きい）場合には、ピクセル15の間に電極78を載せた外枠基板71を残せるので本実施例のような簡便なプロセスで形成した構造が有効になる。

【0072】〔第7実施例〕本発明による第7の実施例は、Ga N 系材料によって青色から紫外光（420～380nm）を発するレーザあるいはLEDを上記実施例のように他基板に貼り付けて2次元アレー化するものである。このとき貼り付ける基板をガラスにしておき、ガラス基板92側には図9に示すように画素（ピクセル）ごとにR、G、Bの蛍光を発する蛍光体93を塗布しておけば、青色から紫外光の光励起によるフルカラー表示素子として適用できる。

【0073】画素としては、ピクセル径25 μ m ϕ 、間隔75 μ m程度で実現でき、面積も原理的には非常に大きくできるため、薄型大画面フルカラー表示素子を提供できる。発光源として低しきい値レーザを用いるため、消費電力が小さく輝度の高い表示ができ、高電圧、真空が必要でないことが利点である。

【0074】構造とプロセスは今までの実施例と同様であるが、その構造とプロセスを説明する。

【0075】サファイア基板（不図示）上に、Ga N あるいはAl N の低い成長温度で成膜する低温バッファ層（不図示）を数10 μ mと厚めに成膜し、 n -Ga N / n -AlGa N から成るクラッド層81、アンドープのInGa N /AlGa N から成る多重量子井戸活性層82、 p -AlGa N / p -Ga N から成るクラッド層84、 p -Ga N キャップ層85をMOVPE（Metal Organized Vapor Phase Epitaxy）法などで成長する。続い

て、第1実施例と同様に、ピクセル形成などをRIEによるエッチング等を用いて行なう。なお、活性層82の選択くびれエッチングは困難なため、本実施例では、活性層82を構成するバリア層としてのAlGa N 層の選択酸化によって電流阻止領域83を形成した。これは、水蒸気雰囲気中で500℃程度で加熱処理すると、酸化されやすいAlを含む層において側壁から時間とともに酸化層が内部に進行していくことを利用している。このとき、クラッド層84のAlGa N 層の側壁も同様に酸化されるが、キャップ層85はGa N であるために変化しなく電流阻止領域が形成されない。よって、問題は生じない。この後、溝部を埋め込み層94で埋め込んだ後、 p 側の電極87として、Ni（1000Å）/Au（3000Å）を蒸着する。86は絶縁層である。

【0076】その後、RFスパッタ法などで、SiO $_2$ /MgOの18ペアから成る誘電体多層膜ミラー89を形成し、各ピクセルに対応してRGBの蛍光体93を適当にパターニングしたガラス基板92に接着剤91で接着する。

【0077】次に、サファイア基板を外枠を残してバッファ層が現れるまで研磨等によって除去する。現れたGa N あるいはAl N の低温バッファ層は、300℃に加熱した燐酸によってエッチングし除去する。このとき、単結晶エピ成長している n -Ga N / n -AlGa N から成るクラッド層81の n -Ga N 層は上記エッチャントに対してレートが非常に遅いため、選択エッチングが可能である。

【0078】次に、第2実施例と同様にマトリックス状配線を形成する。すなわち、 n 側電極としてTi（500Å）/Al（1 μ m）/Au（2000Å）を図3のようなパターンで形成する。 n 側電極の干渉を避けるために、図3のように格子状32にエピタキシャル層を除去して、ポリイミド等を埋め込んでもよい。最後に、ピクセルの内部に15 μ m ϕ の円形に該電極を除去した後、SiO $_2$ /MgOから成る誘電体多層膜ミラー90をアレー領域全面に（外枠領域には形成しない）に形成して完成する。これによりマトリックス駆動による表示が可能となる。

【0079】LEDの場合は、蛍光体93側の誘電体ミラー89を付けなければよい。第1実施例から第6実施例においても、光の取り出し側のミラーを付けずに、LEDアレーとしてもよい。LEDの作製はその分容易になる。

【0080】ところで、上記の各実施例は発光デバイスを並べた例であったが、受光デバイスを並べた構成でもよい。貼り付け基板には電気配線などが形成されて、この側から光を入れられなくて成長基板側から光を入れる必要がある場合、この側の成長基板が図1（a）の様に除去されていると、受光デバイスのアレーが比較的容易に形成できる。この場合の構成は基本的に図1の構成と

ほぼ同じでよいが、活性層は光吸収層となり、電極間に逆電界をかけておいてここから電気を取り出す構成となる。受光デバイスとして構成する場合、多層膜ミラーは不要であるが、貼り付け基板側のミラーをレーザと同様に形成して入力光をここで反射して光吸収層に戻す構成とすれば受光効率が向上する。

【0081】

【発明の効果】以上説明した様に、本発明によって、作製が簡単で生産性が高く2次元アレー面型発光装置などにも適する様になった面型光デバイス、その好適な製造方法、それを用いた表示装置などが実現できた。

【図面の簡単な説明】

【図1】図1は本発明による面型発光レーザアレーの一部破断した斜視図(a)および断面図(b)である。

【図2】図2は本発明による面型発光レーザの作製工程を説明する断面図である。

【図3】図3は本発明による第2実施例の面型発光レーザアレーの一部破断した斜視図である。

【図4】図4は本発明による第3実施例である固相接合を用いた面型発光レーザの断面図である。

【図5】図5は本発明による面発光レーザアレーと電子回路を集積させた構成例の断面図である。

【図6】図6は本発明による第4実施例である導電粒子入り接着剤を用いた面型発光レーザの断面図である。

【図7】図7は本発明による第5の実施例であるエピタキシャルミラーを持つ面発光レーザの断面図である。

【図8】図8は本発明による第6の実施例による面発光レーザアレーの斜視図である。

【図9】図9は本発明による第7の実施例の面型発光レーザアレーを用いた表示装置の断面図である。

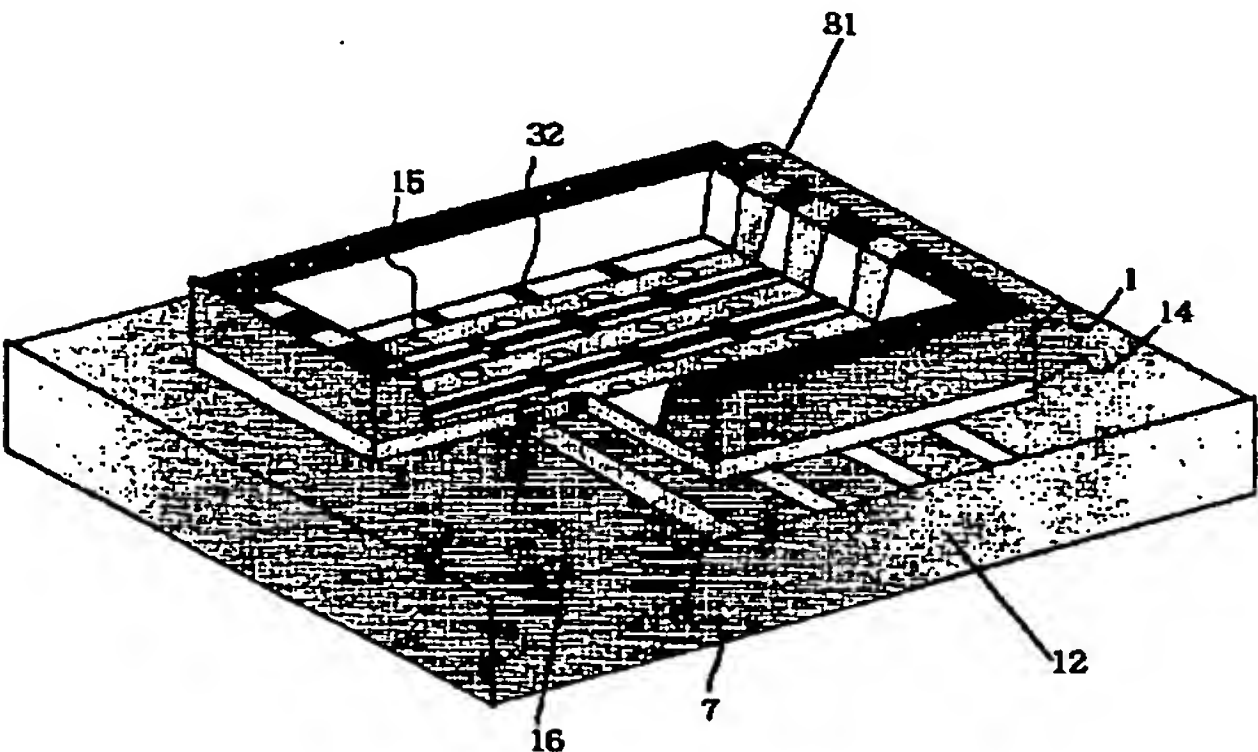
【図10】図10は面型発光レーザアレーの従来例を示す一部破断した斜視図である。

【図11】図11は面発光レーザアレーの他の従来例を示す断面図である。

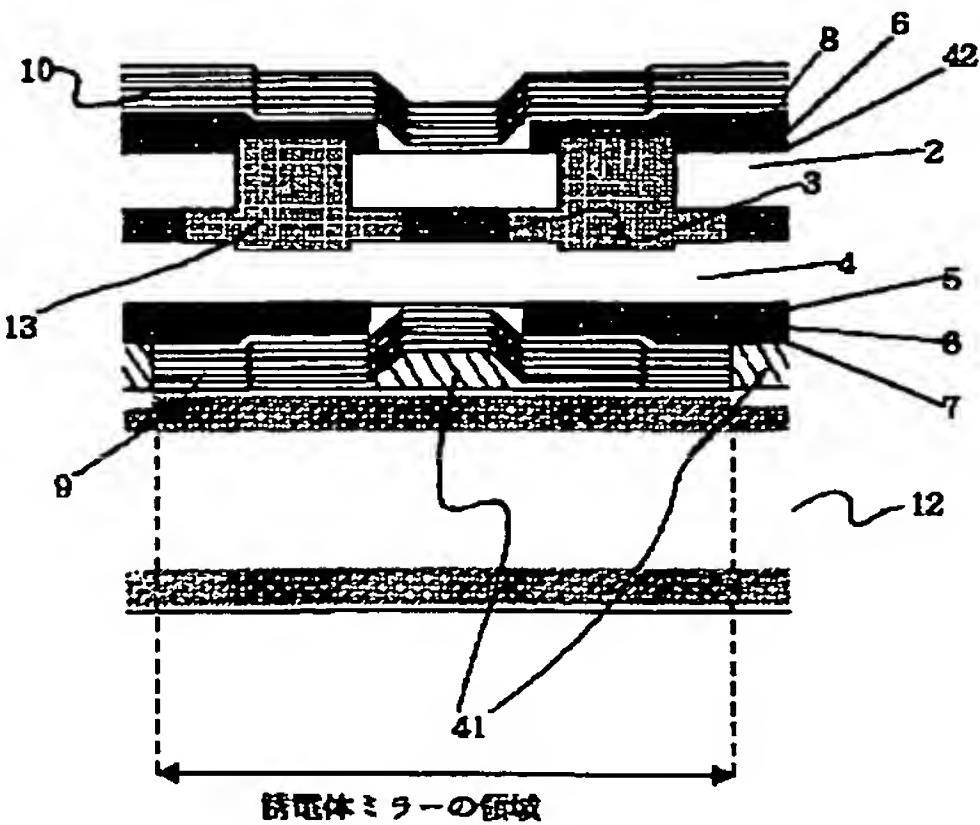
【符号の説明】

- 1、71、101 半導体基板
- 2、4、84、81、102、104 クラッド層
- 3、62、82、103 活性層
- 5、85 コンタクト層
- 6、86、106 絶縁膜
- 7、8、31、51、52、78、87、107、108 電極
- 9、10、59、89、90、109、110 誘電体多層膜反射ミラー
- 11、54、91 接着剤
- 12、55、92 基板
- 13、32、94、113、132 埋め込み層
- 14、62 エピタキシャル層
- 15 発光領域(ピクセル)
- 16 発光部(活性層)
- 20、42 エッチングストップ層(コンタクト層)
- 41 エアギャップ部
- 53 導電粒子
- 20 61、63 半導体多層膜反射ミラー
- 83 選択酸化層
- 93 蛍光体
- 200 保護膜
- 201、202、203 トランジスタの電極
- 204、206、207 n拡散領域
- 205、208 p拡散領域
- 210 バイポーラトランジスタ
- 2000 集積回路半導体基板
- 2000A 金属膜
- 30 3000 絶縁層
- 4000、4100C、4100D 電気配線
- 4100 光入出力基板
- 4100A ホトディテクタ
- 4100B 面発光レーザ

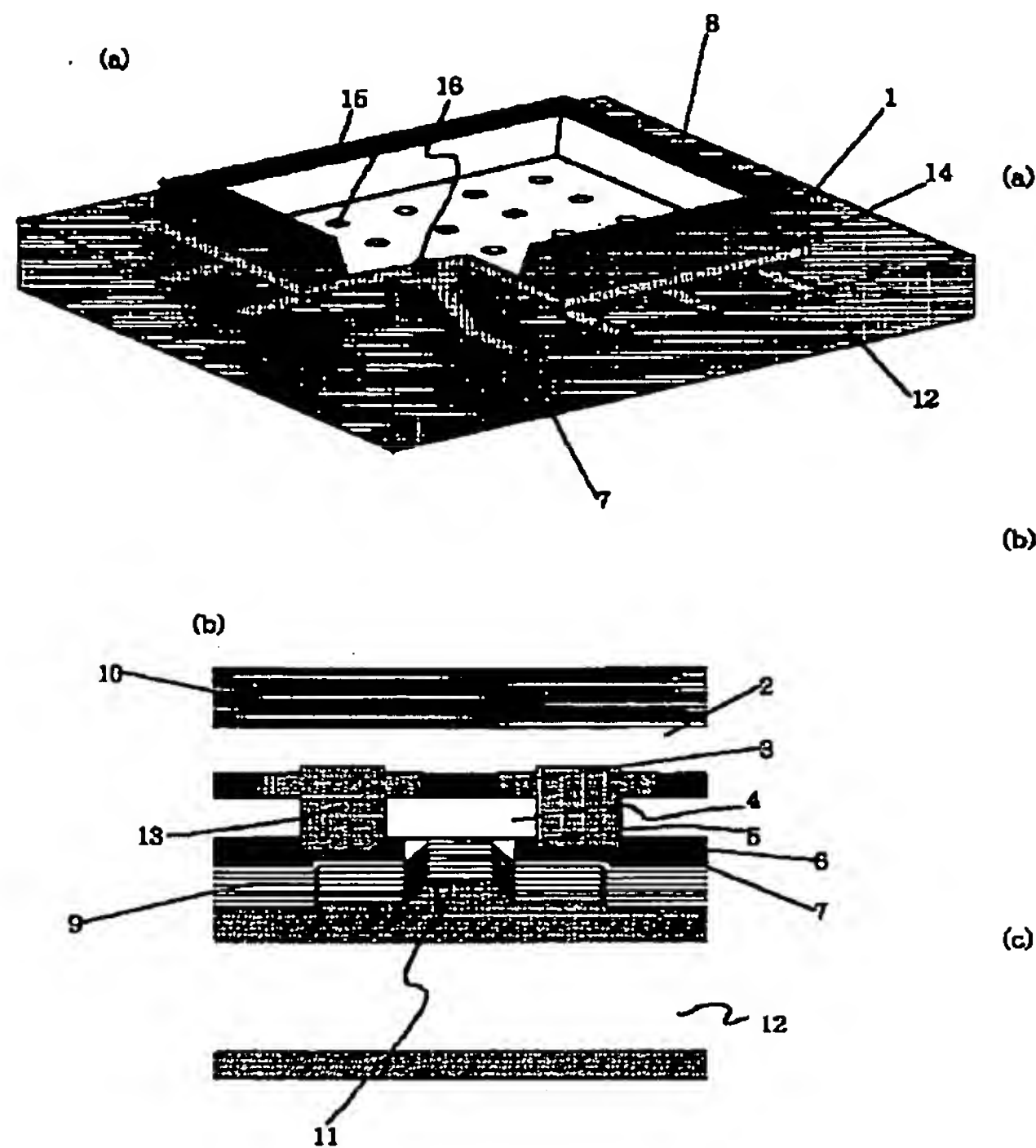
【図3】



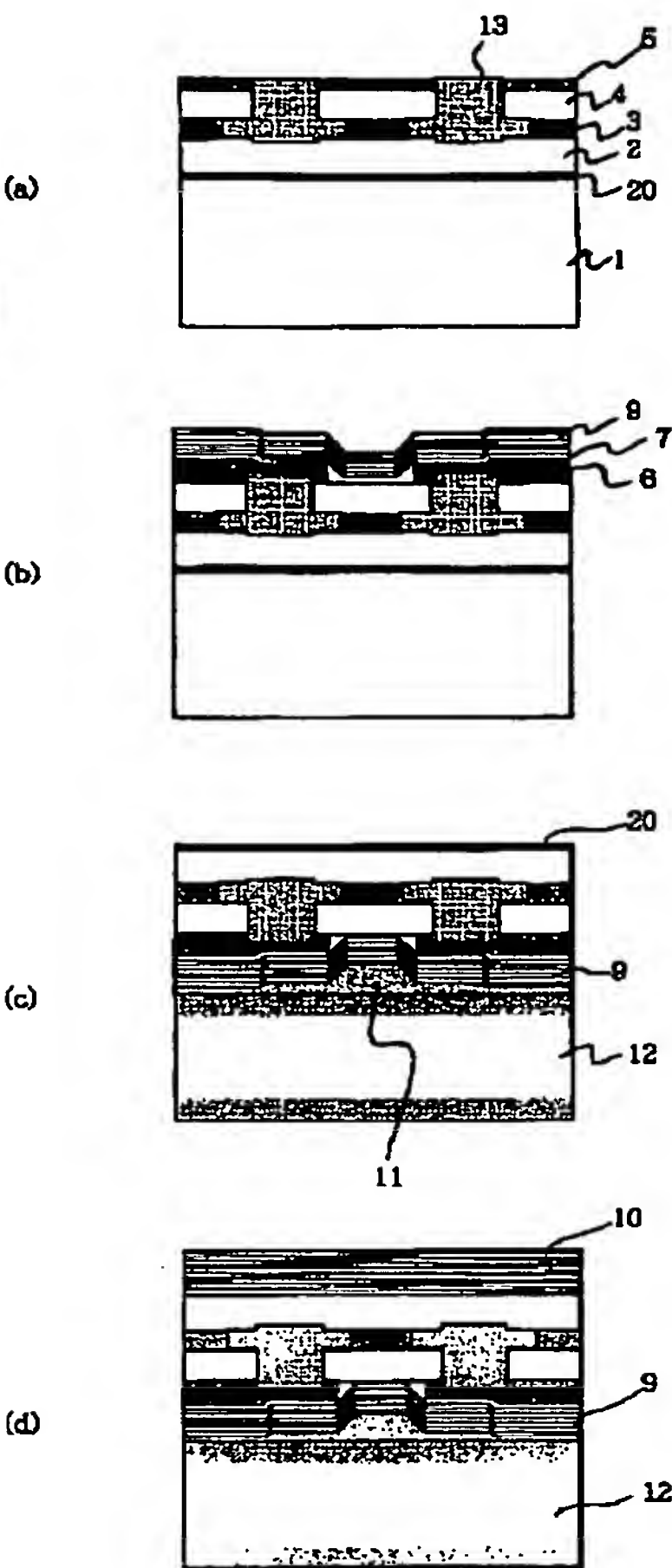
【図4】



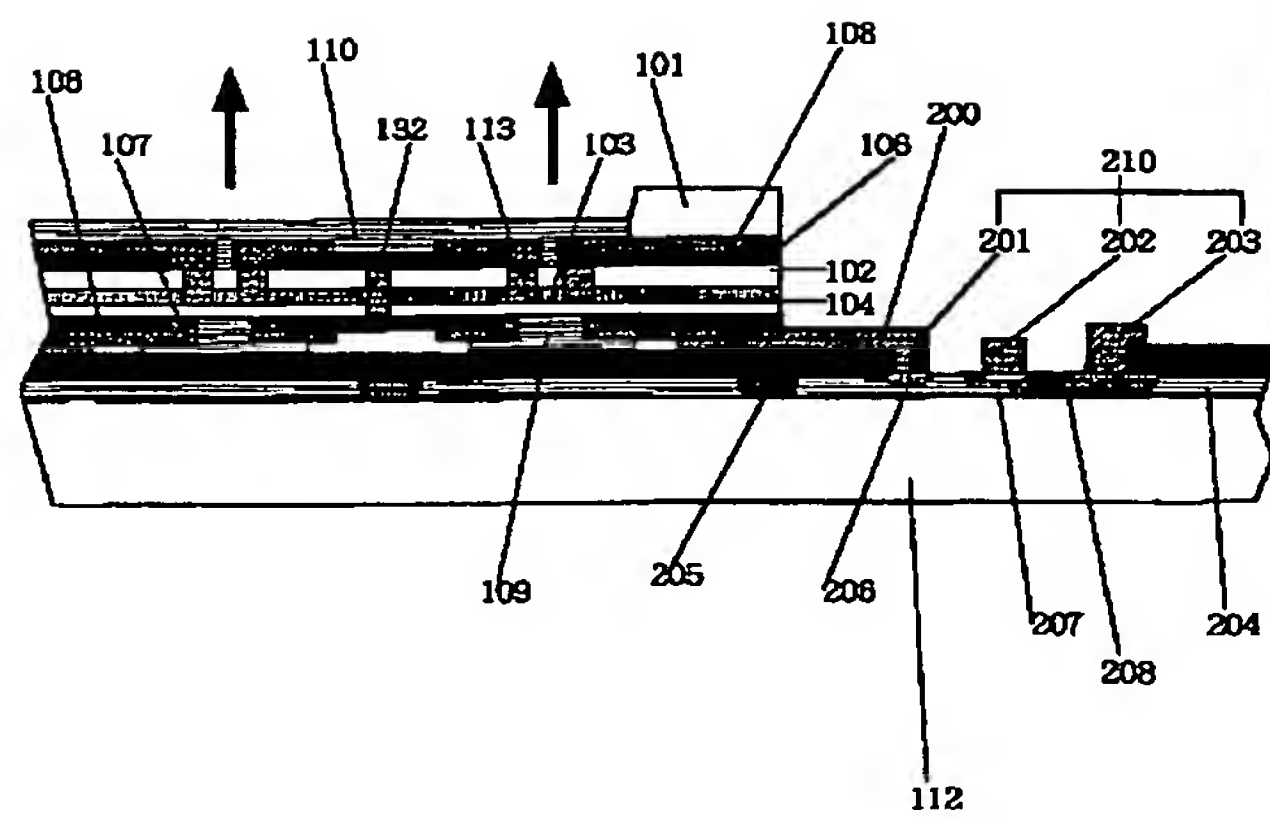
【図1】



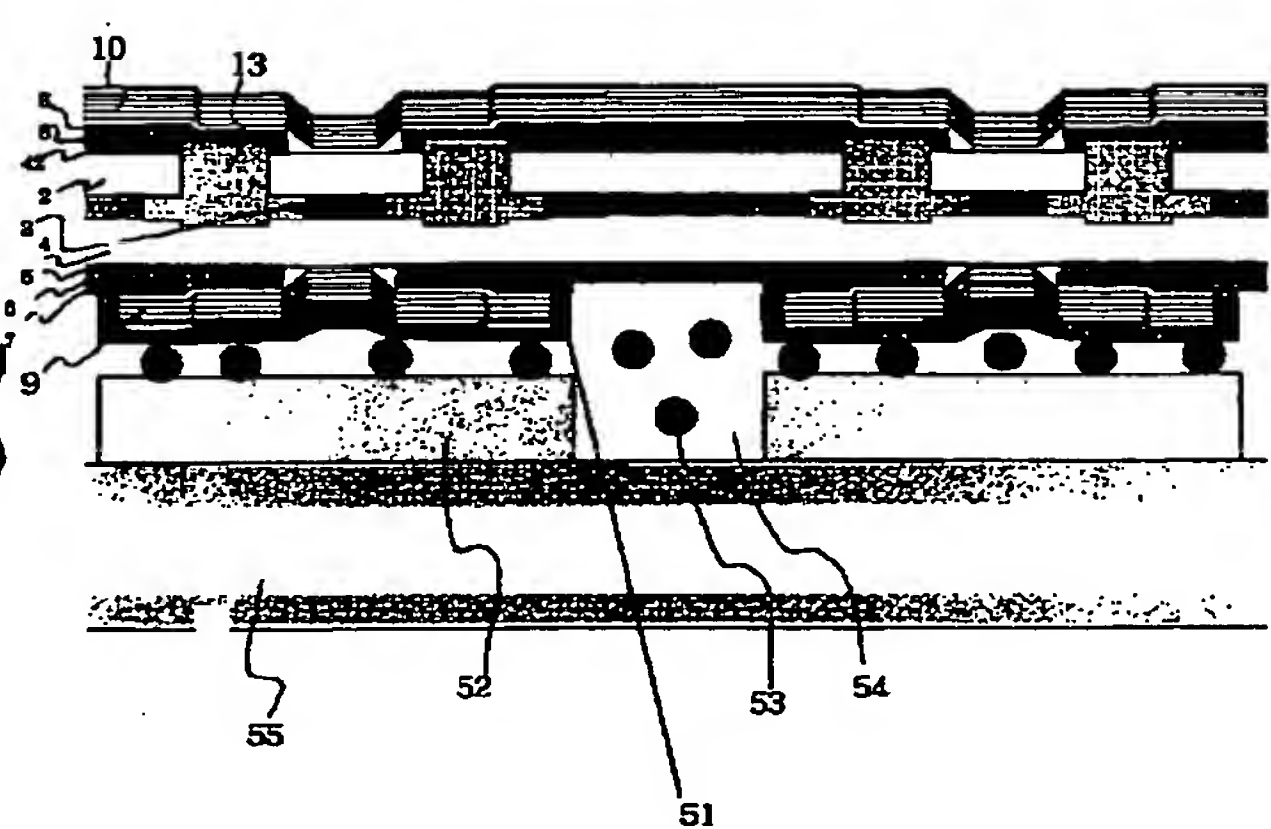
【図2】



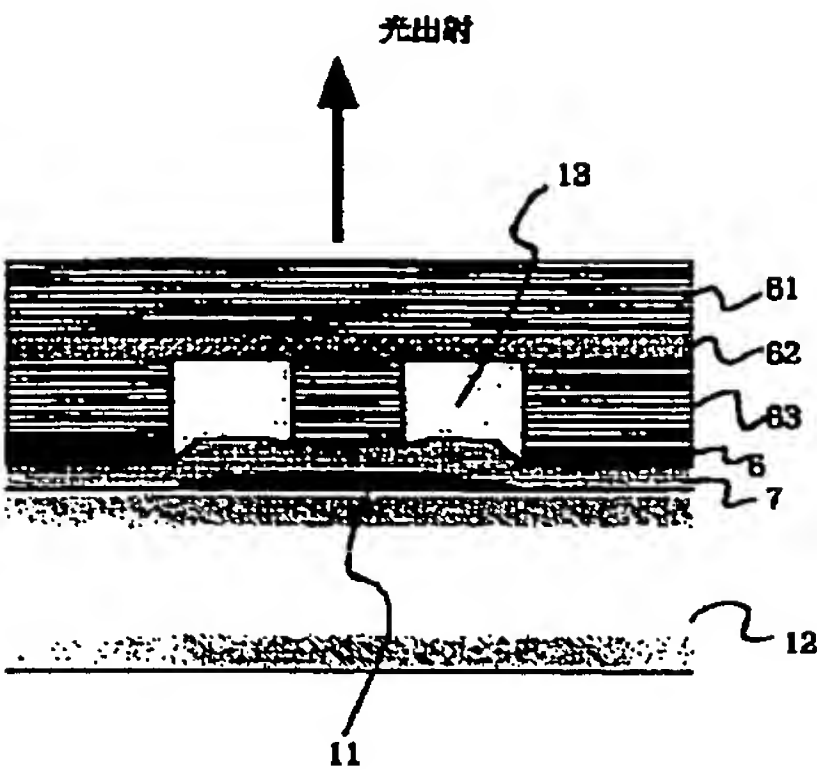
【図5】



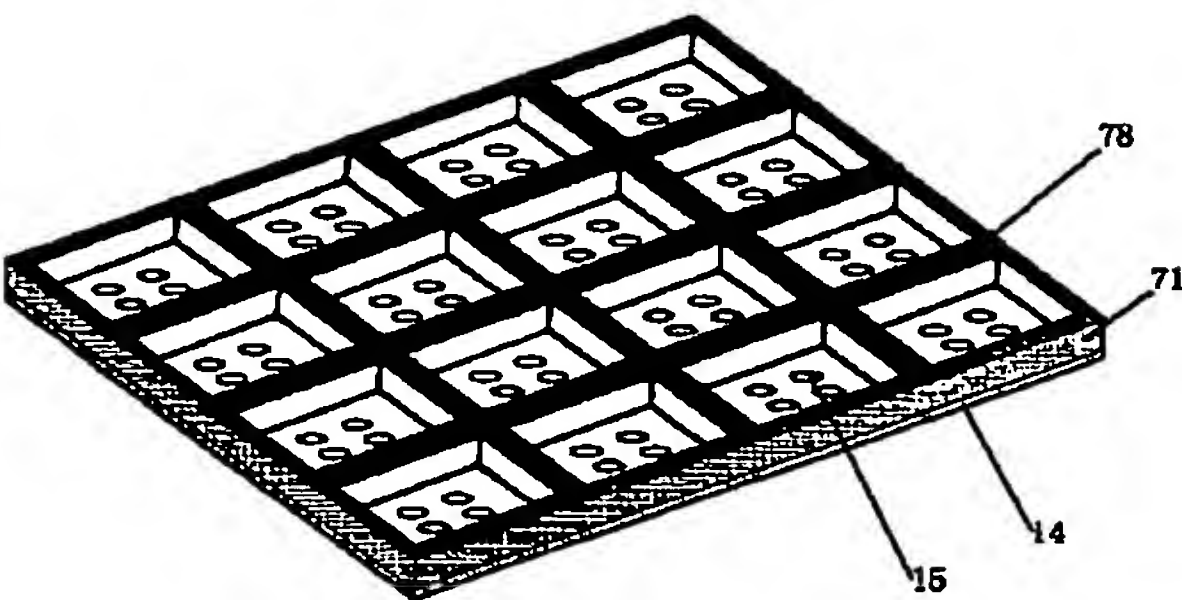
【図6】



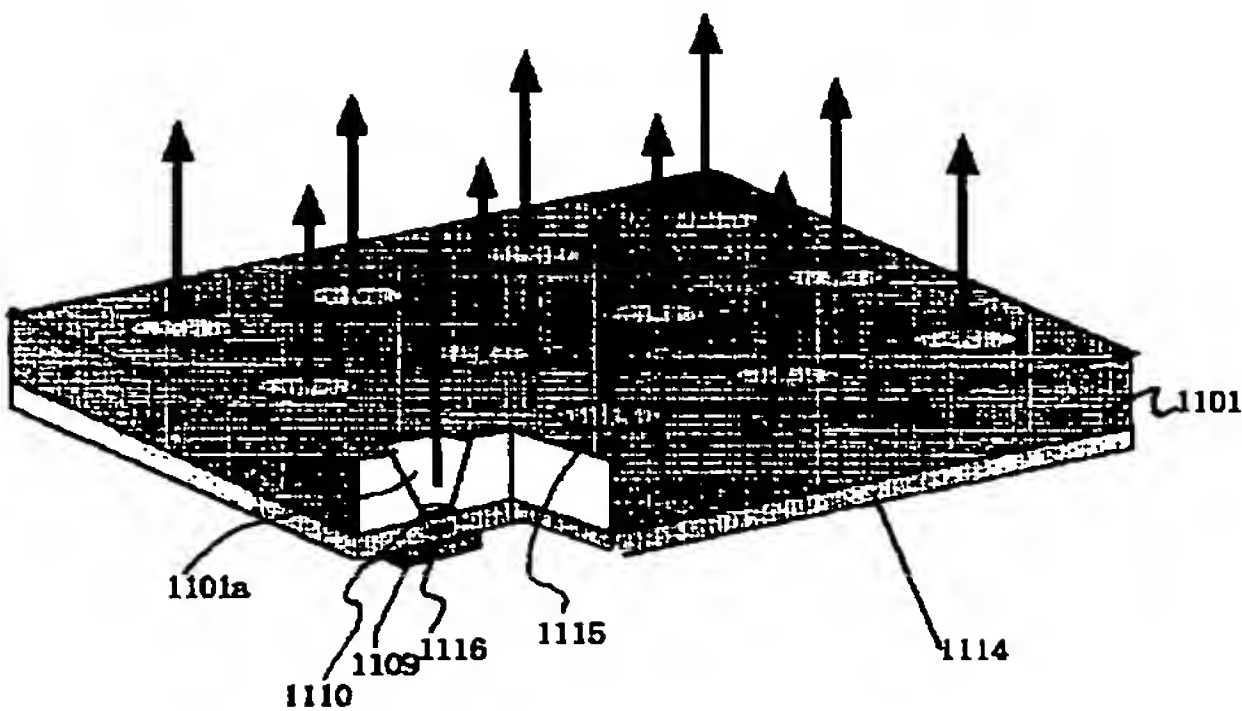
【図 7】



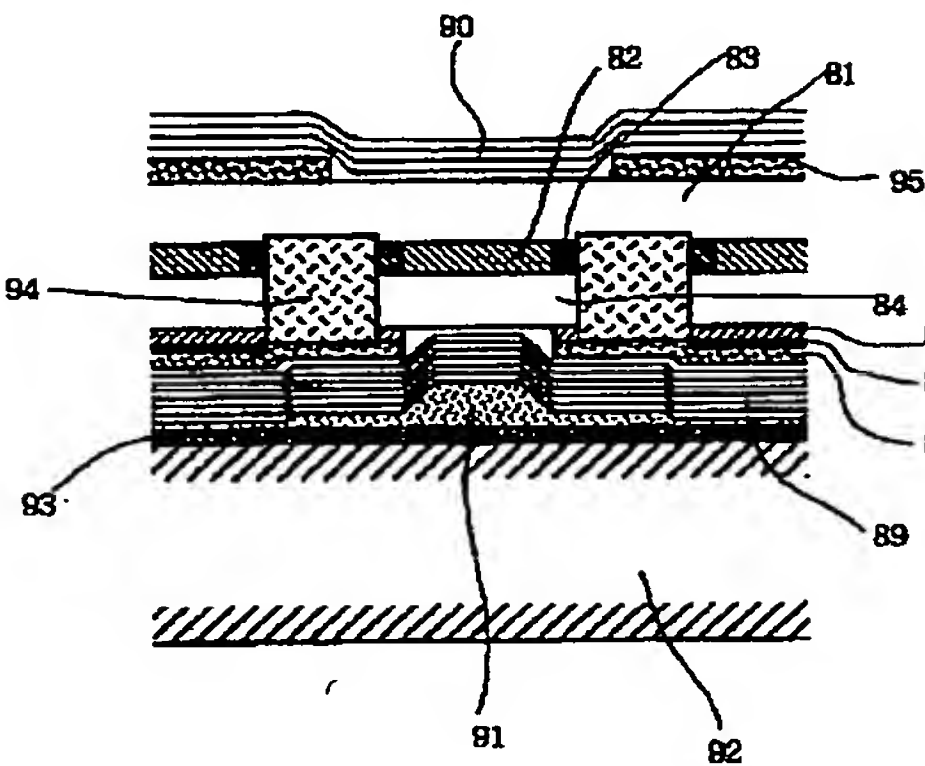
【図 8】



【図 10】



【図 9】



【図 11】

